

Original document

ORIGINAL READER

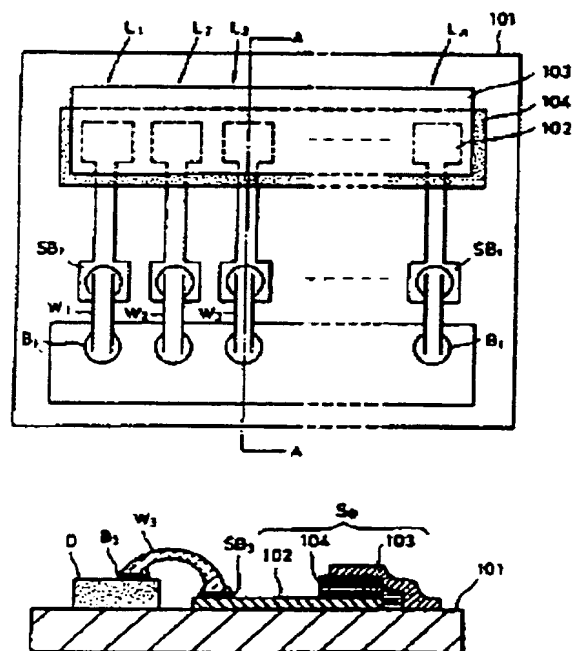
Patent number: JP61055959
 Publication date: 1986-03-20
 Inventor: OZAWA TAKASHI
 Applicant: FUJI XEROX CO LTD
 Classification:
 - international: **H01L27/146; H01L27/146**; (IPC1-7): H01L27/14; H04N1/028
 - european:
 Application number: JP19840177798 19840827
 Priority number(s): JP19840177798 19840827

[View INPADOC patent family](#)

[Report a data error here](#)

Abstract of JP61055959

PURPOSE: To equalize an output signal, and to reduce the irregularities of the reading of an original by adjusting the size of a bonding pad for connecting an amplifier to a light-receiving element and compensating the dispersion of electrostatic capacity. **CONSTITUTION:** An adhesion type image sensor is constituted by a sensor section S_e consisting of light-receiving elements L_1-L_l having structure, in which a photoconductor layer 104 composed of a hydrogenated amorphous silicon layer is held by a large number of lower electrodes 102 arranged onto a substrate 101 and a light-transmitting upper electrode 103, and a driving circuit section D consisting of a chip containing an amplifier, etc., and bonding pads SB_1-SB_l and B_1-B_l formed to predetermined sections are connected by bonding wires W . The areas of the bonding pads B_1-B_l are adjusted so that the areas of the bonding pads having long wiring length are reduced and those of the bonding pads having short one are increased.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-55959

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)3月20日

H 01 L 27/14
H 04 N 1/028

7525-5F
Z-7334-5C

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 原稿読み取り装置

⑯ 特 願 昭59-177798

⑰ 出 願 昭59(1984)8月27日

⑱ 発 明 者 小 澤 隆 海老名市本郷2274番地 富士ゼロックス株式会社海老名事業所内

⑲ 出 願 人 富士ゼロックス株式会社 東京都港区赤坂3丁目3番5号

⑳ 代 理 人 弁理士 木村 高久

明 細 書

1. 発明の名称

原稿読み取り装置

2. 特許請求の範囲

基板上に複数個の受光素子を並設せしめると共に、各受光素子に対して1対1でアンプを接続し、各受光素子に蓄積された電荷を検出するようにした原稿読み取り装置において、前記各受光素子にアンプを接続するためのボンディングパッドの大きさを調整することにより、アンプの配線部等の付属回路による静電容量のばらつきを補正するようにしたことを特徴とする原稿読み取り装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、原稿読み取り装置に係り、特に密着型イメージセンサにおける読み取り出力のむらを低減するための構造に関する。

〔従来の技術〕

密着型イメージセンサは、複数個の受光素子の配列された受光素子アレイと、該素子アレイをス

イッチング走査する回路から構成されている。この受光素子アレイは、原稿と同一幅を有するよう構成されており、密着型イメージセンサはこの受光素子アレイを原稿に密着させるようにして、もしくは光学ファイバアレイまたはレンズアレイ等の光学系を介して1対1結像により原稿を読み取るようにしたものであり、MOS型イメージセンサあるいはCCDイメージセンサに比べて結像光路長を短かくすることができ、装置の小型化をはかることのできるものである。

この密着型イメージセンサの基本構造は、第2図および、第3図(第2図の断面図)に示す如く、基板101上に配列された多数個の下部電極102と透光性の上部電極103とによって、水素化アモルファスシリコン層からなる光導電体層104を挟んだ構造の受光素子Lからなるセンサ部Sとアンプ等を含むチップからなる駆動回路部Dとが、夫々、所定の部分に形成されたボンディングパッドSB₁~SB₂およびB₁~B₂との間に張架されるボンディングワイヤWによって接続されている。

通常として、第4図に等価回路を示す如く、 L 個の受光素子（フォトダイオード） $L_1 \dots L_L$ 毎に複数のブロック20, ..., 90に分割して形成されており、各ブロックは同一の構成であるので、ここではブロック20についてのみ説明する。

まず原稿像が各受光素子 L_1 乃至 L_L 上に結像されると、光強度に対応した光電流がフォトダイオード PD_1 乃至 PD_L に流れ、各信号電荷蓄積容量 C_1 乃至 C_L に信号電荷が蓄積される。このとき、各受光素子 L_1 乃至 L_L に夫々接続され、信号電荷蓄積容量 C_1 乃至 C_L の信号電荷を放電させることなく保持することができるように構成された増幅器 A_1 乃至 A_L の出力電圧は容量 C_1 乃至 C_L に蓄積された信号電荷（厳密にいうと、夫々フォトダイオード自体のもつ容量 $PC_1 \dots PC_L$ +容量 $C_1 \dots C_L$ ）に対応した大きさになっている。そしてスイッチング回路 S_3 をオンすると共に、スイッチング回路 S_{21} 乃至 S_{2L} を順次オンにして各増幅器 A_1 乃至 A_L の出力電圧すなわち各容量 C_1 乃至 C_L の信号電荷に対応する大きさの電圧を信号出力線106を介して出力する。

路）チップとして形成されており、周囲に、ワイヤボンディングによって受光素子と接続するためのボンディングパッド B_1 乃至 B_L が並べられ、中央部に増幅器 A_1 乃至 A_L 等の素子部が配設されている。従って、例えば、チップの端部に配設されたボンディングパッド B_1 と中央部に配設された B_m とでは、夫々、増幅器 A_1, A_m までの配線長 T_1, T_m に差が生じることになり、これら配線長 T_1, T_m ($T_1 > T_m$) に従って寄生容量 K_1, K_m が異なることになり、駆動回路部としての容量 C_1 と C_m とでは $C_1 > C_m$ となり、出力信号にばらつきを生じる原因となっていた。

本発明は、前記実情に鑑みてなされたもので、駆動回路部における容量のばらつきをなくし、出力を均一にすることを目的とする。

〔問題点を解決するための手段〕

本発明では、駆動回路部に形成されている、受光素子と接続するためのボンディングパッドの大きさを調節することにより、駆動回路部における容量のばらつきを補正するようにしている。

さらにスイッチング回路 S_{21} 乃至 S_{2L} のスイッチング走査より適宜の時間だけ遅延させて、スイッチング回路 S_{11} 乃至 S_{1L} のスイッチング走査を開始し、各信号電荷蓄積容量 C_1 乃至 C_L の信号電荷を放電して受光素子 L_1 乃至 L_L をリセットするようになっている。

すなわち、1つの受光素子に着目してみると、第5図に示す如く、受光素子 L により発生した光電流は容量 C に蓄積され、容量 C の上端の電位を増幅器 A によってハイインピーダンスで受けることにより、その電位をアナログスイッチ S を通して出力するようになっている。ここで容量 C は第4図における受光素子自体による容量 PC 乃至 PC_L と駆動回路部による容量 C_1 乃至 C_L とを加えたものとする。

従って、この容量 C のばらつきは出力特性に大きく影響する。

〔発明が解決すべき問題点〕

ところで、駆動回路部 D は通常、各ブロック毎に第6図に示す如く、1枚のLSI（大規模集積回

〔作用〕

すなわち、前述の例においては、配線長 $T_1 > T_m$ となっている場合は、ボンディングパッド B_1 の面積がボンディングパッド B_m の面積よりも配線長による容量の差分だけ小さくなるようにし、駆動回路部 D としての容量 $C_1 \dots C_L$ が一定となるようにしている。

〔実施例〕

以下、本発明の実施例について、図面を参照しつつ詳細に説明する。

この原稿読み取り装置では、増幅器 $A_1 \dots A_L$ 、およびスイッチング回路（省略）を配設した駆動回路チップのボンディングパッド $B_1 \dots B_L$ の面積を第1図に示す如く、その位置によって変化させるようにしている。すなわち、例えば増幅器に至る配線長の長い端部のボンディングパッド B_1 から、増幅器に至る配線長の短い中央付近のボンディングパッド B_m にいくに従い、ボンディングパッドの面積は順次大きくなるように構成

されている。そして、ボンディングパッド以外の部分の構成は、従来例と全く同様である。

なお、ボンディングパッドの面積を決定するにあたっては、まず、配線の導体幅、絶縁基板の厚さ、該絶縁基板の比誘電率等から、配線の単位長さ当りの容量を算出し、この値に夫々の配線の配線長 $T_1 \dots T_L$ を乗じて夫々の容量を算出する。そして、この容量の差を補正するようにボンディングパッドの面積を算出する。

かかる構成により、増幅器に至る配線長のばらつきに起因する駆動回路Dにおける静電容量 $C_1 \dots C_L$ のばらつきは、ボンディングパッドの面積の調整により補正されるため、各受光素子に対して均一な読み取り出力を発生することが可能となる。

なお、実施例においては、ボンディングパッド B_1 乃至 B_L がチップの周辺部3方にわたって配列されている例について示したが、1辺に配列されている場合等の配列状態のときも、そのときの配線長の変化に合わせて、ボンディングパッドの面積を補正するようにすればよい。

子、S…センサ部、D…駆動回路部、20…90…ブロック、W…ボンディングワイヤ、 $PD_1 \dots PD_L$ …フォトダイオード、 $PC_1 \dots PC_L$ …フォトダイオード自体のもつ容量、 $C_1 \dots C_L$ …信号電荷容量、 $A_1 \dots A_L$ …増幅器、 $S_1, S_{21} \dots S_{2L}, S_{11} \dots S_{1L}$ …スイッチング回路、 $T_1 \dots T_m$ …配線長。

出願人代理人 木村 高久



〔発明の効果〕

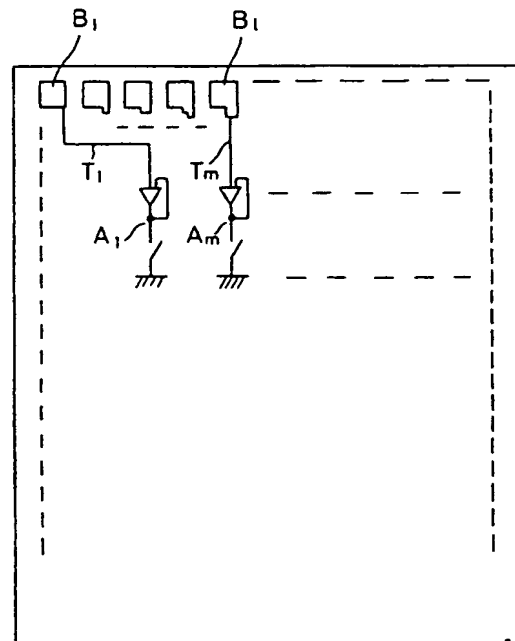
以上、説明してきたように、本発明によれば、増幅器等からなる駆動回路部の配線部等の付属回路による静電容量のばらつきを補正すべく、各受光素子との接続のためのボンディングパッドの大きさを調整するようにしているため、出力信号の均一な原稿読み取り装置を提供することが可能となる。

4.図面の簡単な説明

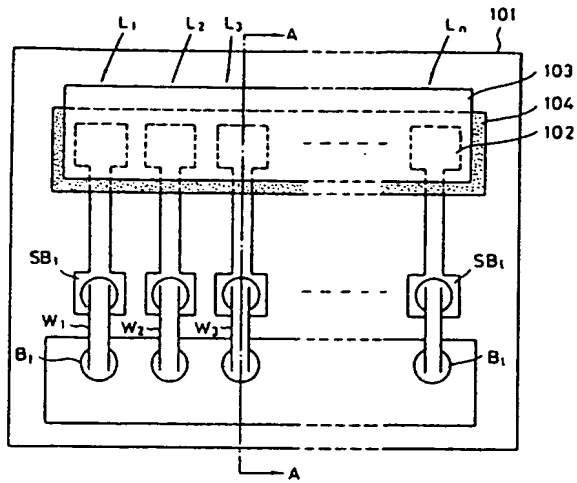
第1図は、本発明実施例の原稿読み取り装置の駆動回路部のチップの概要図、第2図は、原稿読み取り装置の基本構成を示す図、第3図は第2図の断面図、第4図は第2図の原稿読み取り装置の等価回路を示す図、第5図は同原稿読み取り装置の1つの受光素子に対する信号検出過程を説明するための等価回路（概略）図、第6図は駆動回路部Dの1ブロックを構成するチップを示す概略図である。

101…基板、102…下部電極、103…上部電極、104…光導電体層、 $L, L_1 \dots L_L$ …受光素

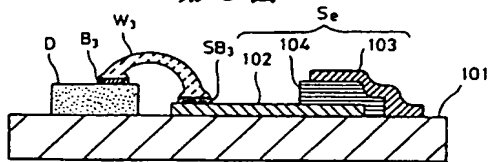
第1図



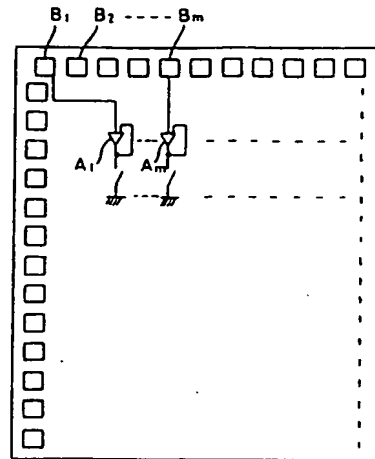
第 2 図



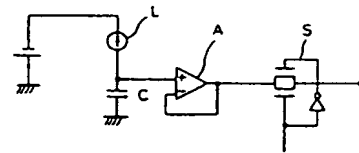
第 3 図



第 6 図



第 5 図



第 4 図

